

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-236467

(43)Date of publication of application : 29.08.2000

(51)Int.Cl.

H04N 5/225
G06F 12/02
G06T 1/60
H04N 5/781
H04N 5/91
H04N 5/92

(21)Application number : 11-038044

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 17.02.1999

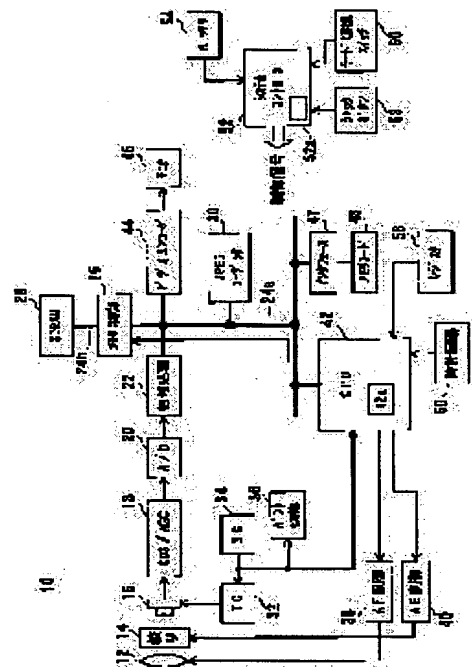
(72)Inventor : KAKU JUNYA

(54) DIGITAL CAMERA

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the time interval after a shutter button is operated until corresponding image data are recorded on a memory card.

SOLUTION: When a shutter button 58 is fully depressed, a CPU 42 conducts write processing to write image data corresponding to an object image at the moment of full depression to an SDRAM 28 and recording processing to record the image data written in the SDRAM 28 to a memory card 48. The write processing includes compression of YUV data outputted from a signal processing circuit 22 and compressed data write to the SDRAM 28 or other processing. On the other hand, the recording processing includes the compressed data read from the SDRAM 28 and recording of the read compressed data to the memory card 48 or the like. The CPU 42 is installed with a multi-task OS such as a μ iTRON (registered trademark), which can conduct the write processing and the recording processing as above in parallel.



LEGAL STATUS

[Date of request for examination] 20.01.2000

[Date of sending the examiner's decision of rejection] 25.02.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3631034

[Date of registration] 24.12.2004

[Number of appeal against examiner's decision] 2003-04902

of rejection]

[Date of requesting appeal against examiner's decision of rejection] 26.03.2003

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-236467

(P2000-236467A)

(43)公開日 平成12年8月29日(2000.8.29)

(51)IntCl. ⁷	識別記号	F I	テーマコード(参考)
H 0 4 N 5/225		H 0 4 N 5/225	F 5 B 0 4 7
G 0 6 F 12/02	5 3 0	G 0 6 F 12/02	5 3 0 A 5 B 0 6 0
G 0 6 T 1/60		15/64	4 5 0 F 5 C 0 2 2
H 0 4 N 5/781		H 0 4 N 5/781	5 1 0 5 C 0 5 3
5/91		5/91	J

審査請求 有 請求項の数12 O L (全 15 頁) 最終頁に続く

(21)出願番号 特願平11-38044

(22)出願日 平成11年2月17日(1999.2.17)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 郭 順也

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74)代理人 100090181

弁理士 山田 義人

Fターム(参考) 5B047 AA30 EB02 EB20

5B060 AA09 AC13 DA08

5C022 AA13 AC00 AC31 AC69

5C053 FA08 FA27 GB36 KA04 KA24

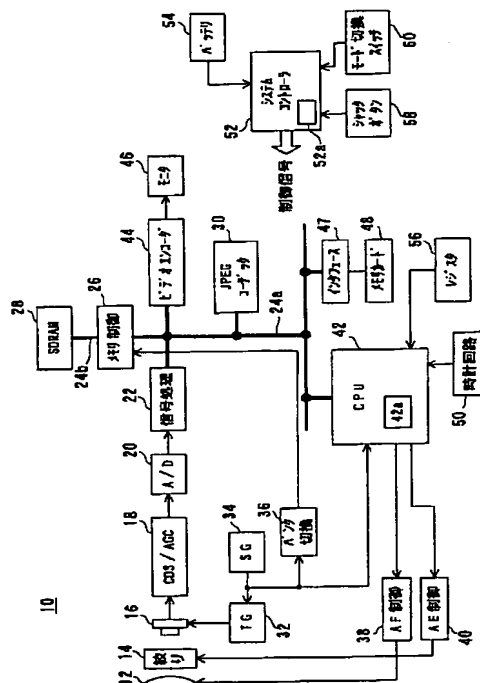
LA01

(54)【発明の名称】 デジタルカメラ

(57)【要約】

【構成】 シャッターボタン58が全押しされると、CPU42は、全押し時点の被写体像に対応する画像データをSDRAM28に書き込む書き込み処理、ならびにSDRAM28に書き込まれた画像データをメモ리카ード48に記録する記録処理を行う。書き込み処理には、信号処理回路22から出力されるYUVデータの圧縮、圧縮データのSDRAM28への書き込みなどが含まれる。一方、記録処理には、SDRAM28からの圧縮データの読み出し、読み出された圧縮データのメモ리카ード48への記録等が含まれる。CPU42には、μiTRON(登録商標)のようなマルチタスクOSが搭載され、このような書き込み処理および記録処理が並行して行われる。

【効果】 シャッターボタンが操作されてから対応する画像データがメモ리카ードに記録されるまでの時間を短縮できる。



【特許請求の範囲】

【請求項1】撮影指示を入力する第1入力キー、前記撮影指示に基づいて被写体像を撮影する撮影回路、内部メモリ、および前記被写体像の画像信号を前記内部メモリに書き込む書き込み処理および前記内部メモリの画像信号を記録媒体に記録する記録処理を並行して行うマルチタスクCPUを備える、デジタルカメラ。

【請求項2】前記書き込み処理は、撮影指示の入力を所定タイミングで判別する撮影指示判別処理、前記撮影指示判別処理の処理結果に応じて前記撮影回路を能動化する撮影能動化処理、前記画像信号を前記内部メモリに書き込む画像書き込み処理、および前記画像信号のアドレス情報を管理する管理テーブルを作成する作成処理を含み、前記記録処理は、前記管理テーブルに基づいて前記画像信号を前記内部メモリから読み出す画像読み出し処理、および前記画像読み出し処理によって読み出された前記画像信号を前記記録媒体に記録する画像記録処理を含む、請求項1記載のデジタルカメラ。

【請求項3】前記書き込み処理は、前記内部メモリに書き込まれかつ未だ記録処理が行われていない画像信号の信号量を前記管理テーブルに基づいて判別する信号量判別処理、および前記信号量判別処理の処理結果に応じて前記書き込み処理を中断する中断処理をさらに含む、請求項2記載のデジタルカメラ。

【請求項4】前記信号量判別処理は、前記信号量が第1所定値を超えたかどうかを判別する第1判別処理、および前記信号量が第2所定値を超えたかどうかを判別する第2判別処理を含み、前記中断処理は、前記信号量が前記第1所定値を超えたとき所定のタイミング信号が発生するまで前記書き込み処理を中断する第1中断処理、および前記信号量が前記第1所定値よりも大きい第2所定値を超えたとき前記記録処理が終了するまで前記書き込み処理を中断する第2中断処理を含む、請求項3記載のデジタルカメラ。

【請求項5】前記撮影回路の出力を圧縮する圧縮回路をさらに備え、前記画像書き込み処理は、前記圧縮回路を能動化する圧縮能動化処理、および前記圧縮回路から出力された圧縮画像信号を前記内部メモリに書き込む圧縮画像書き込み処理を含む、請求項2ないし4のいずれかに記載のデジタルカメラ。

【請求項6】前記書き込み処理は、前記画像書き込み処理の後に前記記録媒体の残容量を予測する予測処理をさらに含む、請求項5記載のデジタルカメラ。

【請求項7】前記書き込み処理は前記圧縮画像信号のサイズを検出する検出処理をさらに含む、前記予測処理は、前記圧縮画像信号のサイズに基づいて前記残容量を算出する残容量算出処理を含む、請求項6記載のデジタルカメラ。

【請求項8】前記書き込み処理は、前記残容量に基づいて記録可能な画像枚数を算出する枚数算出処理、および前記画像枚数をモニタに表示する表示処理をさらに含む、請求項6または7記載のデジタルカメラ。

【請求項9】撮影条件の調整指示を入力する第2入力キーをさらに備え、前記書き込み処理は、前記調整指示の入力を所定タイミングで判別する調整指示判別処理、前記調整指示判別処理の処理結果に応じて前記撮影条件を調整する調整処理、および前記撮影指示判別処理の処理結果に応じて前記調整指示判別処理を不能化する第1不能化処理をさらに含む、請求項2ないし8のいずれかに記載のデジタルカメラ。

【請求項10】前記書き込み処理は、前記撮影指示判別処理によって所定の処理結果が得られた第1タイミングを検出する第1検出処理、前記調整指示判別処理によって所定の処理結果が得られた第2タイミングを前記第1タイミングの後に検出する第2検出処理、および前記第1タイミングおよび前記第2タイミングの差分に応じて前記調整処理を不能化する第2不能化処理をさらに含む、請求項9記載のデジタルカメラ。

【請求項11】前記所定の処理結果はいずれも入力有りを示す判別結果である、請求項10記載のデジタルカメラ。

【請求項12】前記記録媒体は着脱可能である、請求項1ないし11のいずれかに記載のデジタルカメラ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、デジタルカメラに関し、特にたとえば、撮影指令にตอบสนองして被写体を撮影し、撮影画像信号を記録媒体に記録する、デジタルカメラに関する。

【0002】

【従来の技術】従来のデジタルカメラでは、被写体像はCCDイメージャのようなイメージセンサによって撮影され、撮影された画像信号は、所定の信号処理を施された後、CPUによって記録媒体に記録されていた。

【0003】

【発明が解決しようとする課題】しかし、記録媒体の多くは着脱可能であり、このような記録媒体はインタフェースを介してCPUと接続される。このため、従来技術では、画像信号の記録に時間がかかり、この結果、シャッターボタンの操作間隔つまり撮影間隔が長くなるという問題があった。

【0004】それゆえに、この発明の主たる目的は、撮影間隔を短縮することができる、デジタルカメラを提供することである。

【0005】

【課題を解決するための手段】この発明は、撮影指示を入力する第1入力キー、撮影指示に基づいて被写体像を

撮影する撮影回路、内部メモリ、および被写体像の画像信号を内部メモリに書き込む書き込み処理および内部メモリの画像信号を記録媒体に記録する記録処理を並行して行うマルチタスクCPUを備える、デジタルカメラである。

【0006】

【作用】第1入力キーによって撮影指示が入力されると、撮影回路が被写体像を撮影する。被写体像の画像信号は、前記内部メモリに一旦書き込まれ、その後記録媒体に記録される。画像信号を内部メモリに書き込む書き込み処理および内部メモリの画像信号を記録媒体に記録する記録処理は、マルチタスクCPUによって並行して行われる。

【0007】この発明のある局面では、書き込み処理は、撮影指示の入力を所定タイミングで判別する撮影指示判別処理、撮影指示判別処理の処理結果に応じて撮影回路を能動化する撮影能動化処理、画像信号を内部メモリに書き込む画像書き込み処理、および画像信号のアドレス情報を管理する管理テーブルを作成する作成処理を含む。また、記録処理は、管理テーブルに基づいて画像信号を内部メモリから読み出す画像読み出し処理、および画像読み出し処理によって読み出された画像信号を記録媒体に記録する画像記録処理を含む。

【0008】つまり、書き込み処理によって内部メモリに書き込まれた画像信号のアドレス情報は、管理テーブルによって管理される。記録処理においては、このような管理テーブルに基づいて画像信号が内部メモリから読み出される。したがって、書き込み処理および記録処理が互いに独立しているにも拘わらず、画像信号は適切に記録される。

【0009】この発明のある実施例では、書き込み処理は、内部メモリに書き込まれかつ未だ記録処理が行われていない画像信号の信号量を管理テーブルに基づいて判別する信号量判別処理、および信号量判別処理の処理結果に応じて書き込み処理を中断する中断処理をさらに含む。さらに、信号量判別処理は、信号量が第1所定値を超えたかどうかを判別する第1判別処理、および信号量が第2所定値を超えたかどうかを判別する第2判別処理を含み、中断処理は、信号量が第1所定値を超えたとき所定のタイミング信号が発生するまで書き込み処理を中断する第1中断処理、および信号量が第1所定値よりも大きい第2所定値を超えたとき記録処理が終了するまで書き込み処理を中断する第2中断処理を含む。

【0010】つまり、記録処理を施されていない画像信号が内部メモリに蓄積され、内部メモリの残容量がなくなってきたとき、書き込み処理が中断され、記録処理が集中して行われる。未処理の信号量が第1所定値を超えたときは所定のタイミング信号が発生するまで書き込み処理が中断され、信号量が第1所定値よりも大きい第2所定値を超えたときは記録処理が終了するまで書き込み

処理が中断される。

【0011】この発明の他の実施例では、圧縮回路が撮影回路の出力を圧縮する。このとき、画像書き込み処理は、圧縮回路を能動化する圧縮能動化処理、および圧縮回路から出力された圧縮画像信号を内部メモリに書き込む圧縮画像書き込み処理を含む。このように圧縮回路が撮影回路の出力を圧縮することで、サイズが縮小された圧縮画像信号が短時間で生成される。つまり、高速で圧縮処理が行われ、かつ信号量が小さくなる。

【0012】また、書き込み処理は、前記画像書き込み処理の後に前記記録媒体の残容量を予測する予測処理を含む。この予測処理では、圧縮画像信号のサイズに基づいて残容量が算出される。このような予測処理に要する時間は、記録媒体に実際にアクセスして残容量を検出するよりも短い。書き込み処理は、残容量に基づいて記録可能な画像枚数を算出する枚数算出処理、および画像枚数をモニタに表示する表示処理をさらに含む。オペレータは、モニタに表示された画像枚数によってこれ以降に撮影できる枚数を把握する。

【0013】この発明のその他の実施例では、撮影条件の調整指示を入力する第2入力キーがさらに備えられる。また、書き込み処理は、調整指示の入力を所定タイミングで判別する調整指示判別処理、調整指示判別処理の処理結果に応じて撮影条件を調整する調整処理、および撮影指示判別処理の処理結果に応じて調整指示判別処理を不能化する第1不能化処理をさらに含む。

【0014】撮影指示および調整指示の入力はそれぞれ、所定のタイミングで判別される。オペレータが撮影指示ではなく調整指示を入力した場合、この調整指示に基づいて撮影条件が調整される。しかし、オペレータが前回の撮影指示に続いて速いタイミングで撮影指示を入力したときは、撮影条件の調整処理が不能化される。つまり、今回の撮影指示にตอบสนองして、画像書き込み処理および管理テーブル作成処理が行われる。

【0015】書き込み処理はさらに、撮影指示判別処理によって所定の処理結果が得られた第1タイミングを検出する第1検出処理、調整指示判別処理によって所定の処理結果が得られた第2タイミングを第1タイミングの後に検出する第2検出処理、および第1タイミングおよび第2タイミングの差分に応じて調整処理を不能化する第2不能化処理を含む。所定の処理結果はいずれも入力有りを示す判別結果である。

【0016】つまり、前回の撮影指示の入力タイミングと今回の調整指示の入力タイミングが短ければ、調整処理が不能化される。そして、今回の撮影指示にตอบสนองして、画像書き込み処理および管理テーブル作成処理が行われる。

【0017】

【発明の効果】この発明によれば、画像信号を内部メモリに書き込む書き込み処理および内部メモリの画像信号

を記録媒体に記録する記録処理を並行して行うようにしたため、撮影間隔を短縮することができる。この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の実施例の詳細な説明から一層明らかとなろう。

【0018】

【実施例】図1を参照して、この実施例のデジタルカメラ10は、フォーカスレンズ12および絞リユニット14を含む。被写体の光像は、このような部材を介してCCDイメージャ12に照射される。モード設定スイッチ60を“カメラ”側に切り換えると、システムコントローラ52はCPU42にカメラモードの設定を通知する。このときCPU42は、シグナルジェネレータ(SG)16、信号処理回路22、バンク切換回路36などを含む信号処理ブロックならびにビデオエンコーダ44、モニタ46などを含むエンコードブロックを起動する。

【0019】バンク切換回路36は、SG34から1/15秒毎に出力される垂直同期信号にตอบสนองしてバンク切換信号を生成し、メモリ制御回路26に与える。垂直同期信号が1/15秒毎に出力されることで、バンク切換信号のレベルもまた、1/15秒毎に切り換わる。メモリ制御回路26は、このようなバンク切換信号によってアクセス先の画像バンクを特定する。つまり、SDRAM28は、図2に示すように表示画像エリアを有し、この表示画像エリアには画像バンク0および画像バンク1が形成されている。バンク切換信号がローレベルであれば、メモリ制御回路26は、書き込み先を画像バンク0と決定し、読み出し先を画像バンク1と決定する。逆にバンク切換信号がハイレベルであれば、メモリ制御回路26は、書き込み先を画像バンク1と決定し、読み出し先を画像バンク0と決定する。

【0020】一方、TG32は、SG34から出力される垂直同期信号および水平同期信号に基づいてタイミング信号を生成し、CCDイメージャ12をプログレッシブスキャン方式で駆動する。この結果、被写体のカメラ信号が1/15秒毎にCCDイメージャ12から出力される。出力されたカメラ信号は、CDS/AGC回路18で周知のノイズ除去およびレベル調整を施され、その後、A/D変換器16によってデジタル信号であるカメラデータに変換される。信号処理回路22は、A/D変換器16から出力されたカメラデータにYUV変換を施し、YUVデータを生成する。各フレームのカメラ信号が1/15秒毎に生成される結果、対応するYUVデータもまた1/15秒毎に生成される。信号処理回路22は、生成したYUVデータを書き込みリクエストとともにメモリ制御回路26に与える。

【0021】メモリ制御回路26は、書き込みリクエストにตอบสนองしてYUVデータを取り込み、バンク切換信号に基づいて特定した画像バンクにこのYUVデータを書

き込む。各フレームのYUVデータが1/15秒毎に生成され、バンク切換信号のレベルが1/15秒毎に切り換わる結果、各フレームのYUVデータは画像バンク0および画像バンク1に交互に書き込まれる。なお、YUVデータはバス24aを介してメモリ制御回路26に与えられ、その後バス24bを介してSDRAM28に書き込まれる。

【0022】このようにして所望の画像バンクに書き込まれたYUVデータは、その後、ビデオエンコーダ44から出力された読み出しリクエストに基づいて、同じメモリ制御回路26によって読み出される。ビデオエンコーダ44は1/30秒毎に読み出しリクエストを発生し、メモリ制御回路26は、バンク切換信号に基づいて特定した画像バンクからYUVデータを2回繰り返して読み出す。YUVデータは、書き込みが行われていない画像バンクからインタレーススキャン方式で読み出され、バス24aを介してビデオエンコーダ44に与えられる。ビデオエンコーダ44は入力されたYUVデータをNTSCフォーマットのコンポジット画像信号に変換し、変換したコンポジット画像信号をモニタ46に与える。この結果、被写体の動画像(スルー画像)が、リアルタイムでモニタ画面に表示される。

【0023】オペレータがシャッターボタン54を半押し状態にすると、システムコントローラ52は対応するキーステートデータをCPU42に与える。すると、CPU42はAF制御回路38およびAE制御回路40を能動化し、フォーカスおよび露光量を調整する。これによってフォーカスレンズ12が最適位置に移動し、絞リ14が最適値にセットされる。なお、シャッターボタン58が半押し状態のとき、CPU42は、後述するBG(Back Ground)モードの起動処理や連続撮影できる最大枚数 N_{MAX} の決定処理も行う。

【0024】シャッターボタン54が全押し状態となると、システムコントローラ52は対応するキーステートデータをCPU42に与える。するとCPU42は、垂直同期信号にตอบสนองしてバンク切換回路36を不能化するとともに、全押し時点で撮影された被写体像のYUVデータが生成されるのを待って信号処理回路22を不能化する。一方、ビデオエンコーダ44は不能化されず、これまでと同様に読み出しリクエストをメモリ制御回路26に与え続ける。バンク切換が停止されたとき、メモリ制御回路26は、アクセス先をたとえば画像バンク0に統一する。このため、信号処理回路22から出力されたYUVデータは画像バンク0に書き込まれ、ビデオエンコーダ44に与えるYUVデータは画像バンク0から読み出される。この結果、同じYUVデータが繰り返しビデオエンコーダ44に与えられ、モニタ46には対応する静止画像(フリーズ画像)が表示される。なお、シャッターボタン58の全押し時点で撮影された被写体像のYUVデータを、以下の説明の便宜上、オリジナル画像デ

ータと定義する。

【0025】オリジナル画像データが画像バンク0に確保された後、CPU42はJPEGコーデック30に圧縮処理を命令する。JPEGコーデック30は、このような圧縮処理命令にตอบสนองして、オリジナル画像データの読み出しをメモリ制御回路26にリクエストする。オリジナル画像データはメモリ制御回路26によって画像バンク0から読み出され、バス24aを介してJPEGコーデック30に与えられる。JPEGコーデック30は、入力されたオリジナル画像データからサムネイル画像データを生成し、オリジナル画像データおよびサムネイル画像データに個別に圧縮処理を施す。これによってオリジナル画像の圧縮データ（オリジナル圧縮データ）およびサムネイル画像の圧縮データ（サムネイル圧縮データ）が生成される。

【0026】JPEGコーデック30は、このようにして生成された圧縮データの書き込みをメモリ制御回路26にリクエストし、圧縮データはメモリ制御回路26によってSDRAM28に書き込まれる。SDRAM28には、図2に示すようにオリジナル画像エリアおよびサムネイル画像エリアが形成されており、オリジナル圧縮データおよびサムネイル圧縮データはそれぞれ、このようなオリジナル画像エリアおよびサムネイル画像エリアに書き込まれる。また、対応するヘッダデータがCPU42によって作成され、作成されたヘッダデータの書き込みがメモリ制御回路26にリクエストされる。この結果、ヘッダデータはメモリ制御回路26によって図2に示すヘッダエリアに書き込まれる。

【0027】このようにして、1枚分のオリジナル圧縮データ、サムネイル圧縮データおよびヘッダデータがSDRAM28に確保されると、CPU42は図4に示すような指示リスト42aを作成する。この指示リスト42aには、上述のオリジナル圧縮データ、サムネイル圧縮データおよびヘッダデータのアドレス情報およびサイズ情報が書き込まれる。SDRAM28に書き込まれたデータは、この指示リスト42aによって管理される。つまり、指示リスト42aは、SDRAM28に書き込まれたオリジナル圧縮データ、サムネイル圧縮データおよびヘッダデータを管理する管理テーブルである。

【0028】CPU42は、以上のようなSDRAM28への書き込み処理と並行して、BGモード処理を実行し、SDRAM28に格納されたオリジナル圧縮データ、サムネイル圧縮データおよびヘッダデータをメモリカード48に記録する。このときCPU42は、上述の指示リスト42aを参照してSDRAM28からの読み出し処理を行い、読み出されたデータをメモリカード48に記録する。メモリカード48には、ヘッダ、サムネイル画像、オリジナル画像の順でデータが収納された画像ファイルが形成される。このときも、SDRAM28からのデータの読み出しは、メモリ制御回路26によ

て行われる。

【0029】なお、メモリカード48は着脱可能であり、装着時はインタフェース47を介してバス24aと接続される。このため、CPU42は、メモリ制御回路26によって読み出されたデータをバス24aおよびインタフェース47を介してメモリカード48に書き込む。オリジナル画像エリアは20枚分のオリジナル圧縮データを格納できる容量を持ち、サムネイル画像エリアおよびヘッダエリアもまた、20枚分のサムネイル圧縮データおよびヘッダデータを格納できる容量を持つ。さらに、これらのデータのSDRAM28への書き込み処理とSDRAM28からメモリカード48への記録処理とが並行して行われる。このため、シャッターボタン58の全押しが繰り返された場合、オリジナル画像データ、サムネイル画像データおよびヘッダデータは、オリジナル画像エリア、サムネイル画像エリアおよびヘッダエリアに循環的に書き込まれ、かつこれらのエリアから循環的に読み出される。

【0030】なお、CPU42は、以上のようなSDRAM28への書き込み処理およびメモリカード48への記録処理の他に、メモリカード48の残容量の予測処理、予測結果に基づく残枚数の算出処理、残枚数の表示の更新処理なども行う。また、メモリ制御回路26には、信号処理回路22、ビデオエンコーダ44、JPEGコーデック30およびCPU42のそれぞれからリクエストが入力される。このため、メモリ制御回路26はそれぞれのリクエストを調停しながらSDRAM28にアクセスする。

【0031】システムコントローラ52は、具体的には図5に示すフロー図を処理する。一方、CPU42は、図6～図16に示すフロー図および図17および図18に示すフロー図を並行して処理する。つまり、CPU42はμITRONのようなマルチタスクOS（リアルタイムOS）が搭載されたマルチタスクCPUであり、図6～図16に示す書き込み処理および図17および図18に示す記録処理は、互いに並行して実行される。

【0032】まず、図5を参照して、システムコントローラ52の処理を説明する。システムコントローラ52は、まずステップS1でシステムフラグf_{sys}をセットし、ステップS3で図3に示すレジスタ52aの全てのビットをリセットする。レジスタ52aの第0ビットはシャッターボタン58が半押し状態かどうかを示し、第1ビットはシャッターボタン58が全押し状態かどうかを示し、そして第2ビットはモード切換スイッチ60がカメラ側にあるか再生側にあるかを示す。システムコントローラ52は、このようなレジスタ52aをまず初期状態にセットする。

【0033】システムコントローラ52は続いてステップS4に進み、キースキャンによってシャッターボタン58およびモード切換スイッチ60の状態を検出する。そ

して、ステップS5でキーの状態に変化があったかどうかを判別する。状態に変化がなければ、CPU42はステップS7に進み、システムフラグ f_{SYS} の状態を判別する。システムフラグ f_{SYS} がセット状態であればステップS4に戻り、システムフラグ f_{SYS} がリセット状態であれば、ステップS9でCPU42から何らかの入力があったかどうかを判別する。ここでNOであれば上述と同様にステップS4に戻るが、YESであれば、ステップS11、S13およびS15で入力信号の内容を判別する。

【0034】入力信号がキーステートデータの送信リクエストであれば、システムコントローラ52はステップS11でYESと判断し、ステップS27でレジスタ52aに格納されたキーステートデータをCPU42に送信する。そして、ステップS29でシステムフラグ f_{SYS} をリセットしてからステップS4に戻る。入力信号がキーステートのリセットリクエストであれば、システムコントローラ52はステップS13でYESと判断し、ステップS3に戻る。入力信号が処理終了通知であれば、システムコントローラ52はステップS15でYESと判断し、ステップS1に戻る。なお、ステップS15でNOであれば、システムコントローラ52はステップS4に戻る。

【0035】ステップS5でシャッターボタン58またはモード設定スイッチ60の状態が変化したと判断されると、システムコントローラ52はステップS19に進み、レジスタ52aの対応するビットをセットする。たとえばシャッターボタン58が半押し状態となると、システムコントローラ52はレジスタ52aの第0ビットを“1”とする。その後、ステップS21でシステムフラグ f_{SYS} がセットされているかどうか判別し、NOであればステップS4に戻るが、YESであればステップS23に進む。

【0036】ステップS23ではバッテリー54の残量を検出し、ステップS25では検出した残量データをレジスタ56に格納する。続いて、ステップS27でレジスタ52gに格納されたキーステートデータをCPU42に送信し、ステップS29でシステムフラグ f_{SYS} をリセットし、ステップS4に戻る。システムフラグ f_{SYS} のセット状態はシステムコントローラ52に主導権があることを示し、リセット状態はCPU42に主導権があることを示す。ステップS1でシステムフラグ f_{SYS} がセットされるため、電源投入直後はシステムコントローラ52が主導権をとり、ステップS27で現時点のキーステートデータをCPU42に送信する。システムフラグ f_{SYS} はキーステートデータの送信完了後にリセットされ、これによって主導権がCPU42に移る。

【0037】主導権がCPU42に移っている間でも、システムコントローラ52は所定タイミングでキースキャンを行い、変化があればレジスタ52のキーステート

データを更新する。キーステートに変化がなければ、システムコントローラ52はCPU42からの入力待ち、キーステートデータの送信リクエストが与えられたときに、現時点のキーステートデータを送信する。このため、CPU42が所定の処理を行っている最中のキー操作は、キーステートデータの送信リクエストが与えられる毎に有効となる。送信されるキーステートデータは、送信リクエスト入力時点のキーステートに対応する。

【0038】CPU42から処理終了通知が出力されると、システムコントローラ52はシステムフラグ f_{SYS} をセットし、主導権を再度獲得する。但し、システムフラグ f_{SYS} がセットされた直後にレジスタ52aがリセットされ、これ以降に改めて行われたシャッター操作が有効となる。次に、図6を参照してCPU42の処理について説明する。CPU42は、まずステップS51で図11に示すサブルーチン进行处理する。具体的には、ステップS5101でBGフラグ f_{BG} をリセットする。次に、ステップS5103でオリジナル圧縮データの書き込みアドレス V_{WA} および読み出しアドレス V_{RA} を図2に示すオリジナル画像エリアの開始アドレス V_{SA} にセットし、サムネイル圧縮データの書き込みアドレス S_{WA} および読み出しアドレス S_{RA} をサムネイル画像エリアの開始アドレス S_{SA} にセットし、そしてヘッダデータの書き込みアドレス H_{WA} および読み出しアドレス H_{RA} をヘッダエリアの開始アドレス H_{SA} にセットする。さらに、ステップS5105でシャッターボタン58の全押し時刻を示す時刻データ R_{TIME} をリセットする。続いて、ステップS5107でメモ리카ード48の残容量を検出し、ステップS5109でメモ리카ード58に記録できる画像の枚数を数1に従って算出する。

【0039】

【数1】 $r = \text{REM}_{SIZE} / F_{MAXSIZE}$

r ：残枚数

REM_{SIZE} ：残容量

$F_{MAXSIZE}$ ：画像ファイルの最大サイズ

CPU42はその後、算出された残枚数のキャラクタをステップS5111でモニタ46にOSD表示し、図6に示すステップS51に復帰する。なお、残枚数のキャラクタは、図示しないキャラクタジェネレータを制御することによって表示される。

【0040】CPU42は続いて、ステップS53でシステムコントローラ52からキーステートデータが入力されたかどうかを判断する。ここでYESであればステップS55に進み、オペレータが希望するモードがカメラモードおよび再生モードのいずれであるかをこのキーステートデータから判断する。そして、希望するモードが再生モードであれば、ステップS55でNOと判断し、ステップS57で再生処理を実行する。処理を終えると、CPU42はステップS59で終了通知をシステ

ムコントローラ42に出力し、ステップS53に戻る。

【0041】一方、希望するモードがカメラモードであれば、CPU42はステップS61でカメラモードを起動する。つまり、上述の信号処理ブロックおよびエンコードブロックを起動する。この結果、被写体のスルー画像がモニタ46に表示される。CPU42はその後、ステップS63で終了通知をシステムコントローラ52に出力し、ステップS65でキーステートデータの入力を待つ。

【0042】システムコントローラ52からキーステートデータが入力されると、CPU42は、ステップS67およびS69のそれぞれで、オペレータによって行われたキー操作がモード変更であるかどうか、およびシャッターボタン58の半押しであるかどうかを判断する。キー操作がモード変更であれば、CPU42はステップS67からステップS57に進み、キー操作がシャッターボタン58の半押しであればステップS69からステップS71に進む。

【0043】なお、デジタルカメラ10にはカメラモードに関係しないカーソルキー（図示せず）も設けられ、レジスタ52aはカーソルキーに対応するビットデータも保持する。キーステートデータの入力がこのようなカーソルキーの操作に基づく場合、CPU42はステップS69からステップS63に戻る。ステップS71では、BGフラグ f_{BG} がセットされているかどうか判断する。BGフラグ f_{BG} は上述のステップS5101でリセットされるため、1回目のステップS71の処理ではNOと判断される。すると、CPU42はステップS73でBGモードを起動し、ステップS75でBGフラグ f_{BG} をセットし、そしてステップS77に進む。ステップS71の処理でYESと判断された場合、CPU42はそのままステップS77に進む。

【0044】ステップS77では、図12に示すサブルーチンによって連続撮影が可能な最大枚数 N_{MAX} を決定する。つまり、ステップS7701～S7711のそれぞれで、バッテリー54の残量が満杯時の何パーセントであるか判別する。判別には、レジスタ56に保持されたバッテリー残量データを用いる。残量が0%～10%であれば、ステップS7713で最大枚数 $N_{MAX} = 0$ と決定し、ステップS63に戻る。残量が10%～25%であればステップS7715で最大枚数 $N_{MAX} = 1$ と決定し、残量が25%～40%であればステップS7717で最大枚数 $N_{MAX} = 6$ と決定し、残量が40%～60%であればステップS7719で最大枚数 $N_{MAX} = 12$ と決定する。残量が60%～75%であればステップS7721で最大枚数 $N_{MAX} = 18$ と決定し、残量が75%～95%であればステップS7723で最大枚数 $N_{MAX} = 36$ と決定し、残量が95%～100%であればステップS7725で最大枚数 $N_{MAX} = 48$ と決定する。ステップS7715～S7725のいずれの処理を経たと

きでも、CPU42は図7に示すステップS77に復帰する。

【0045】CPU42は続いてステップS79に進み、時計回路50から検出した現在時刻を時刻データ C_{TIME} にセットする。ステップS81では、時刻データ C_{TIME} と時刻データ R_{TIME} の時間差“ $R_{TIME} - C_{TIME}$ ”を算出し、算出された時間差が1.2秒をこえているかどうか判断する。ここでNOであればそのままステップS85に進むが、YESであれば、ステップS83でフォーカスおよび絞りを調整してからステップS85に進む。“ $R_{TIME} - C_{TIME}$ ”は、前回のシャッターボタン58の全押し時刻とその後のシャッターボタン58の半押し時刻との差分を意味する。この時間差が短ければ、被写体は大きく変化しておらず、フォーカスおよび露光量を再度調整する必要性はあまりない。このため、この時間差に応じてステップS83の処理をジャンプするようにしている。

【0046】ステップS85では、システムコントローラ52に対してキーステートデータの送信をリクエストする。これに応じてキーステートデータが入力されると、CPU42は、このデータに基づいてシャッターボタン58が全押しされたかどうか判断する。オペレータがシャッターボタン58の半押し状態を続けていたり、半押しの後シャッターボタン58から指を離した場合、CPU42はこのステップでNOと判断し、ステップS63に戻る。

【0047】一方、オペレータがシャッターボタン58を半押し状態から全押しに変更すれば、CPU42はステップS88以降の処理を実行し、全押し時点の被写体像をメモリカード58に記録する。具体的には、まずステップS88で垂直同期信号が入力されたかどうか判断し、YESとの判断結果が得られたときにステップS89でバンク切換動作を停止させる。このように垂直同期信号にตอบสนองしてバンク切換を停止させることで、フリーズ画像の出力時に有効となる画像バンクは最適タイミングで特定される。CPU42は次にステップS91で、現在時刻つまり全押し時点の時刻を時計回路50から検出し、検出した時刻を時刻データ R_{TIME} にセットする。続いて、ステップS93でシステムコントローラ52にキーステートデータのリセットをリクエストする。

【0048】ステップS95ではJPEGコーデック30に初期圧縮率による画像圧縮を命令し、続くステップS97ではオリジナル画像データがSDRAM28の画像バンク0に格納された時点で信号処理回路22を不能化する。ステップS97の処理は、オリジナル画像データが生成されるまで信号処理回路22を能動化することを意味する。シャッターボタン58が全押しされた場合、対応するYUVデータに圧縮などの処理を施す必要性が生じる一方、これ以降に得られるYUVデータは必要ではない。このため、全押しとの判別結果が得られた後の

所定期間だけ信号処理回路22を能動化し続け、オリジナル画像データが得られた時点で信号処理回路22を不能化する。

【0049】JPEGコーデック30は、画像圧縮命令に応答して、オリジナル画像データの読み出しをメモリ制御回路26にリクエストする。このため、オリジナル画像データがメモリ制御回路26によって画像バンク0から読み出され、JPEGコーデック30に与えられる。JPEGコーデック30は、このようなオリジナル画像データを初期圧縮率で圧縮する。圧縮処理が終了すると、JPEGコーデック30は、生成されたオリジナル圧縮データのデータサイズおよび圧縮処理の終了信号をCPU42に与える。

【0050】CPU42は、終了信号が入力されたときステップS99でYESと判断する。するとCPU42は、ステップS101で上述のデータサイズおよび初期圧縮率に基づいて最適圧縮率を算出する。この最適圧縮率は、オリジナル圧縮データを所定のデータサイズ（記録可能最大サイズ）以下に抑えることができる圧縮率である。

【0051】ステップS103では、このようにして得られた最適圧縮率での圧縮ならびに圧縮データのSDRAM28への書き込みをJPEGコーデック30に命令する。このとき、CPU42は、圧縮のために最適圧縮率を、SDRAM28への書き込みのために上述の書き込みアドレス V_{WA} および S_{WA} を、JPEGコーデック30に与える。

【0052】JPEGコーデック30は、オリジナル画像データを最適圧縮率で圧縮し、オリジナル圧縮データを生成する。JPEGコーデック30はまた、オリジナル画像データからサムネイル画像データを作成し、サムネイル画像データも最適圧縮率で圧縮する。そして、これらの圧縮データの書き込みリクエストを、書き込みアドレス V_{WA} および S_{WA} とともにメモリ制御回路26に与える。この結果、オリジナル圧縮データがオリジナル画像エリア内に位置する書き込みアドレス V_{WA} 以降に書き込まれ、サムネイル圧縮データがサムネイル画像エリア内に位置する書き込みアドレス S_{WA} 以降に書き込まれる。

【0053】JPEGコーデック30は、圧縮処理が終了したときに、終了信号ならびにオリジナル圧縮データのデータサイズ V_{SIZE} およびサムネイル圧縮データのデータサイズ S_{SIZE} をCPU42に与える。CPU42は、終了信号が与えられたときにステップS105でYESと判断し、続くステップS106で上述のデータサイズ V_{SIZE} および S_{SIZE} を取得する。ステップS107では、数2に従って書き込みアドレス V_{WA} および S_{WA} を更新する。

【0054】

【数2】 $V_{WA} = V_{WA} + V_{SIZE}$

$S_{WA} = S_{WA} + S_{SIZE}$

このため、次のシャッターボタン58の全押しに基づくオリジナル圧縮データおよびサムネイル圧縮データは、現オリジナル圧縮データおよび現サムネイル圧縮データに続いて書き込まれる。

【0055】CPU42はその後ステップS108に進み、現オリジナル圧縮データおよび現サムネイル圧縮データに対応するヘッダデータを作成する。ステップS109では、このようなヘッダデータの書き込みリクエストを書き込みアドレス H_{WA} とともにメモリ制御回路26に与える。メモリ制御回路26は、入力されたヘッダデータをSDRAM28の書き込みアドレス H_{WA} 以降に書き込む。CPU42は、ステップS109で書き込みリクエストを出力した後、ステップS110で数3に従って書き込みアドレス H_{WA} を更新する。

【0056】

【数3】 $H_{WA} = H_{WA} + H_{SIZE}$

この結果、次の全押し操作に基づいて生成されるヘッダデータも、現ヘッダデータに続いて格納される。数2によって更新された書き込みアドレス以降に記録可能最大サイズ以上の空きエリアがなければ、次の全押し操作によって得られるオリジナル圧縮データをオリジナル画像エリアに連続して書き込むことはできない。このためCPU42は、ステップS111で数4の条件が満たされるかどうかを判別する。

【0057】

【数4】 $V_{WA} + V_{MAXSIZE} > V_{EA}$

$V_{MAXSIZE}$ ：オリジナル圧縮データの記録可能最大サイズ

V_{EA} ：オリジナル画像エリアの末尾アドレス

この条件を満たせば、次のオリジナル圧縮データを現書き込みアドレス V_{WA} 以降に連続的に書き込むことができる。この場合、CPU42はそのままステップS113に進む。一方、数3の条件が満たされなければ、ステップS112で書き込みアドレス V_{WA} 、 S_{WA} および H_{WA} を開始アドレス V_{SA} 、 S_{SA} および H_{SA} にセットしてからステップS113に進む。この結果、オリジナル圧縮データ、サムネイル圧縮データおよびヘッダデータのいずれについても連続性が保証される。また、互いに関連するオリジナル圧縮データ、サムネイル圧縮データおよびヘッダデータの書き込み位置は、同じ要領でかつ循環的に更新される。

【0058】ステップS113では、図13～図15に示すサブルーチン进行处理し、図4に示す指示リスト42aを作成する。CPU42は、まずステップS1110でヘッダデータの読み出しアドレス H_{RA} およびヘッダデータのデータサイズ H_{SIZE} を図4に示す指示リスト42aに書き込む。具体的には、メール書き込み番号 W_N と同じ値のメール番号を検出し、検出したメール番号に対応する位置に読み出しアドレス H_{RA} およびデータサイ

ズ H_{SIZE} を書き込む。読み出しアドレス H_{RA} は図11に示すステップS5103で初期化され、メール書き込み番号 W_N は図17に示すステップS201でリセットされ、そしてデータサイズ H_{SIZE} は予め決まっている。このため、1回目のステップS11101の処理では、 $W_N = 0$ に対応する位置に読み出しアドレス H_{RA} ($= H_{SA}$) および所定のデータサイズ H_{SIZE} が書き込まれる。

【0059】CPU42はその後、ステップS11103でメール書き込み番号 W_N およびカウント値 m をインクリメントし、ステップS11105で現メール書き込み番号 W_N をメール番号の最大値“ $L-1$ ”と比較する。“ $L-1$ ”は、たとえば“1999”である。ここで $W_N \leq L-1$ であれば、そのままステップS11109に進むが、 $W_N > L-1$ であれば、ステップS11107でメール書き込み番号 W_N をリセットしてからステップS11109に進む。

【0060】ステップS11109では、カウント値 m を“ $L-1$ ”と比較する。カウント値 m は、指示リスト42aにおける未処理のアドレスの数を示し、SDRAM28に書き込まれかつ未だ読み出されていないデータ量を意味する。このようなカウント値 m は、通常、 $m \leq L-1$ の条件を満たし、ステップS11109ではYESと判断される。このとき、CPU42はステップS11113で数5に従って読み出しアドレス H_{RA} を更新し、その後ステップS11115に進む。

【0061】

【数5】 $H_{RA} = H_{RA} + H_{SIZE}$

なお、BGモード処理が異常に遅いためにカウント値 m のインクリメント速度がディクリメント速度を大きく上回る場合に $m > L-1$ となり、ステップS11109でYESと判断される。このとき、CPU42は、ステップS11111でエラー処理を行い、書き込み処理を強制終了する。

【0062】ステップS11115では、サムネイル圧縮データの読み出しアドレス S_{RA} およびサムネイル圧縮データのデータサイズ S_{SIZE} をメール書き込み番号 W_N に対応付けて指示リスト42aに書き込む。CPU42は続いて、ステップS11117～S11123で上述のステップS11103～S11109と同様の処理を行う。そして、ステップS11123でYESのときにステップS11111に移行し、NOのときにステップS11125で数6に従って読み出しアドレス S_{RA} を更新する。

【0063】

【数6】 $S_{RA} = S_{RA} + S_{SIZE}$

CPU42はその後ステップS11127に進み、オリジナル圧縮データの読み出しアドレス V_{RA} およびオリジナル圧縮データのデータサイズ V_{SIZE} を指示リスト42aのメール書き込み番号 W_N に対応する位置に書き込

む。そして、ステップS11129～S11135でステップS11103～S11109と同様の処理を行う。ステップS11135でNOと判断されれば、CPU42は、ステップS11137で数7に従って読み出しアドレス V_{RA} を更新する。

【0064】

【数7】 $V_{RA} = V_{RA} + V_{SIZE}$

このようにして、互いに関連するヘッダデータ、サムネイル圧縮データおよびオリジナル圧縮データのアドレス情報ならびにサイズ情報が、この順序で指示リスト42aに書き込まれる。CPU42はその後、ステップS11139に進み、上述のステップS1112と同様の理由で、数8の条件が満たされるかどうかを判別する。

【0065】

【数8】 $V_{RA} + V_{MAXSIZE} > V_{EA}$

そして、YESであればそのまま図9に示すステップS1113に復帰するが、NOであれば、ステップS11141で読み出しアドレス V_{RA} 、 S_{RA} および H_{RA} を開始アドレス V_{SA} 、 S_{SA} および H_{SA} にセットしてからステップS1113に復帰する。

【0066】ステップS1114では、連続撮影が可能な最大枚数 N_{MAX} をディクリメントし、続くステップS1115では、信号処理回路22を能動化する。この結果、スルー画像がモニタ46に表示される。但し、バンク切換は未だ停止されたままであり、YUVデータの書き込みおよび読み出しは画像バンク0に対して行われる。CPU42は続いて、ステップS1117で数9を演算し、メモ리카ード48の残容量を予測する。つまり、上述のステップS1106で取得したデータサイズ S_{SIZE} および V_{SIZE} 、予め決まっているデータサイズ H_{SIZE} およびクラスタサイズ C_{SIZE} を残容量 REM_{SIZE} から減算する。なお、画像ファイルはFAT (File Allocation Table) 方式でメモ리카ード48に記録され、1つの画像ファイルを記録する毎にクラスタサイズ C_{SIZE} に相当する容量が消費される。このため、数9の演算にクラスタサイズ C_{SIZE} が加味される。

【0067】

【数9】 $REM_{SIZE} = REM_{SIZE} - (H_{SIZE} + S_{SIZE} + V_{SIZE} + C_{SIZE})$

C_{SIZE} : クラスタサイズ

CPU42はまたステップS1119で上述の数1を演算し、数8によって得られた残容量の予測値に基づいて残枚数を算出する。残枚数が算出されると、CPU42はステップS1121に進み、モニタ46に表示される残枚数を更新する。

【0068】続くステップS1123では、算出された残枚数が“1”よりも大きいかどうか判断する。ここで残枚数 ≤ 1 であれば、CPU42はNOと判断し、ステップS1135でBGフラグ f_{BG} をリセットする。さらに、ステップS1137で図17および図18に示すBGモー

ド処理が終了されたかどうか判断し、YESとの判断結果が得られたときにステップS141に進む。このステップでは、図16に示すサブルーチン进行处理する。まずステップS14101で書き込みアドレス V_{WA} 、 S_{WA} および H_{WA} を開始アドレス V_{SA} 、 S_{SA} および H_{SA} にそれぞれセットし、次に、ステップS14103でメモ리카ード48に実際にアクセスして残容量を検出する。さらに、ステップS14105で上述の数1に従って残枚数を算出し、ステップS14107でこの残枚数をモニタ46に表示する。そして、図10に示すステップS141に復帰する。CPU42はその後、ステップS143で垂直同期信号が入力されたか判断する。そして、YESとの判断結果が得られたときにステップS143でバンク切換動作を再開し、その後ステップS63に戻る。

【0069】この結果、残枚数 ≤ 1 であれば、ステップS137の処理が繰り返され、実質的にBGモード処理だけが実行される。これによってオリジナル画像エリア、サムネイル画像エリアおよびヘッダエリアに格納された全てのデータがメモ리카ード48に記録されると、バンク切換動作が再開され、シャッターボタン58の操作が有効になる。

【0070】一方、ステップS123で残枚数 > 1 と判断されると、CPU42は、ステップS125でカウント値 m を所定値 m_A ($= 50$)と比較し、ステップS127でカウント値 m を所定値 m_B ($= 55$)と比較する。上述のように、カウント値 m は指示リスト42aにおける未処理のアドレスの数を示し、SDRAM28から読み出されていないデータ量に関連する。オリジナル画像エリア、サムネイル画像エリアおよびヘッダエリアは20枚分のデータに相当する容量しか持たず、カウント値 $m=60$ はこれらのエリアが満杯であることを意味する。このため、カウント値 m を所定値 m_A および m_B と比較し、比較結果に応じて処理方法を切り換えている。

【0071】具体的に説明すると、 $m>55$ であれば、SDRAM28の残容量はわずかである。このとき、CPU42はステップS127でYESと判断し、ステップS135に移行する。この結果、BGモード処理が完了し、バンク切換動作が再開されるまで、書き込み処理が中断される。 $50 < m \leq 55$ であれば、SDRAM28の残容量は十分とは言えないが、SDRAM28のデータを一掃しなければならないほど事態が切迫している訳ではない。このとき、CPU42はステップS143に移行し、バンク切換動作を再開してからステップS63に戻る。バンク切換動作は垂直同期信号に応答して再開されるため、垂直同期信号の入力を待つ間、書き込み処理が中断され、BGモード処理が集中的に実行される。この結果、SDRAM28の残容量が拡大される。

【0072】 $m \leq m_A$ であれば、CPU42はSDRAM28に十分な残容量が存在すると判断し、ステップS

129で最大枚数 N_{MAX} を“0”と比較する。ここで $N_{MAX} > 0$ であれば、連続撮影の余地が残っている。このときCPU42は、ステップS131でキーステートデータの送信をシステムコントローラ52にリクエストし、ステップS133でシャッターボタン58が全押しされたかどうかをキーステートデータから判断する。そして、YESであれば、ステップS91に戻る。つまり、ステップS131でシステムコントローラ52にリクエストを発した時点でシャッターボタン58が全押しされていれば、CPU42はオペレータが速いタイミングでの撮影を望んでいると判断し、ステップS63ではなくステップS91に戻る。 $N_{MAX} \leq 0$ であったり、 $N_{MAX} > 0$ であってもシャッターボタン58が全押しされてなければ、CPU42はステップS143に移行する。CPU42は、バンク切換動作を再開してから、ステップS63に戻る。

【0073】シャッターボタン58の操作タイミングによって、処理の流れは次のように変化する。実際には、ステップS87からステップS133までに0.8秒程度かかり、この程度の時間間隔でシャッターボタン58が全押しされれば、ステップS63～S89の処理がジャンプされる。一方、上述のように、時間差“ $R_{TIME}-C_{TIME}$ ”が1.2秒以下であればステップS83の処理がジャンプされる。したがって、0.8秒間隔でシャッターボタン58の全押しが行われれば、ステップS91以降の処理が繰り返される。これに対して、全押しの後1.2秒以内に半押しされ、かつ半押しの後の全押しが前回の全押しから0.8秒以上経過していれば、ステップS83の処理だけがジャンプされる。全押しされてから半押しされるまでに1.2秒以上かかったときは、ステップS83の処理が実行される。

【0074】図17を参照して、BGモード処理を説明する。CPU42は、まずステップS201でメール書き込み番号 W_N 、メール読み出し番号 R_N およびカウント値 m をリセットする。次に、ステップS203およびS205で、カウント値 m が“0”よりも大きいかどうか、およびBGフラグ f_{BG} がリセットされているかどうかを判断する。 $m > 0$ であればステップS203からステップS207に進み、 $m \leq 0$ でかつBGフラグ f_{BG} がセット状態であればステップS205に進み、そして $m \leq 0$ でかつBGフラグ f_{BG} がリセット状態であれば処理を終了する。

【0075】カウント値 m はステップS201でリセットされるが、ステップS113の指示リスト作成処理によってインクリメントされる。これによって $m > 0$ となり、ステップS203でYESと判断される。すると、CPU42はステップS207でファイルポインタFPをメール読み出し番号 R_N に対応する読み出し開始アドレスにセットし、カウント値 S をメール読み出し番号 R_N に対応するデータサイズにセットする。上述のステッ

ブS113では、図4に示すような指示リスト32aが作成される。図4によれば、読み出し開始アドレスならびにバイト数で表されるデータサイズが、各メール番号に対応付けられる。ステップS207およびS209では、現メール読み出し番号 R_N と同じ値を持つメール番号を検出し、検出したメール番号に対応する読み出し開始アドレスおよびデータサイズを読み出す。そして、読み出されたアドレスデータおよびサイズデータをファイルポインタFPおよびカウント値Sにそれぞれセットする。

【0076】CPU42は続いて、ステップS211でSDRAM28へのアクセスが可能かどうか判断する。シャッターボタン58が押されている期間、メモリ制御回路26は、複数の回路からリクエストを受け、これらのリクエストを調停しながらSDRAM28にアクセスする。このため、ステップS211では、読み出しリクエストをファイルポインタFPが持つアドレスデータとともにメモリ制御回路26に出力する。メモリ制御回路26は、このような読み出しリクエストを処理するとき、まず許可信号をCPU42に出力し、次にファイルポインタFPのアドレスデータに従ってSDRAM28から1バイト分のデータを読み出す。読み出された1バイトのデータは、許可信号に続いてCPU42に与えられる。

【0077】CPU42は、メモリ制御回路26から許可信号が返ってきたときにステップS211でYESと判断し、続いて入力される1バイトのデータをステップS213でメモリカード48に記録する。その後、ステップS215およびS217でファイルポインタFPおよびカウント値Sを更新する。つまり、ファイルポインタFPのアドレスデータをインクリメントし、カウント値Sをデクリメントする。ステップS219ではカウント値Sを“0”と比較し、 $S > 0$ であればステップS211に戻る。この結果、現メール読み出し番号 R_N に対応するデータが全てメモリカード48に記録されるまで、ステップS211～S219の処理が繰り返される。

【0078】カウント値Sが“0”となると、CPU42は、現メール読み出し番号 R_N に対応するデータの読み出し処理が完了したと判断し、ステップS221でカウント値mをデクリメントする。カウント値mは、指示リスト作成処理によってインクリメントされ、このステップでデクリメントされる。CPU42はその後、ステップS223でメール読み出し番号 R_N をインクリメントし、ステップS75で現メール読み出し番号 R_N を“L-1”と比較する。そして、 $R_N \leq L-1$ であればそのままステップS225に進むが、 $R_N > L-1$ であれば、ステップS225でメール読み出し番号 R_N をリセットしてからステップS229に進む。この結果、メール読み出し番号 R_N も循環的に更新される。ステッ

プS229では、カウント値mを“L-1”と比較する。通常、カウント値mが“L-1”を超えることはなく、CPU42はこのステップでNOと判断してステップS203に戻る。この結果、上述のステップS203～S229の処理が繰り返され、SDRAM28のヘッダエリア、サムネイル画像エリアおよびオリジナル画像エリアおよびに格納されたデータが、メモリカード36に順次記録されていく。一方、カウント値mが“L-1”を超えてしまったときは、ステップS229でYESと判断し、ステップS231のエラー処理を経てBGモード処理を強制的に終了する。

【0079】この実施例によれば、CPUにマルチタスクOSが搭載され、SDRAMへの書き込み処理とメモリカードへの記録処理とが同時に行われる。このため、シャッターボタンの操作によって被写体像が撮影されてから対応する画像データがメモリカードに記録されるまでの時間を短縮できる。換言すれば、シャッターボタンの操作間隔つまり撮影間隔を短縮できる。

【0080】また、オリジナル圧縮データ、サムネイル圧縮データおよびヘッダデータは、SDRAMのオリジナル画像エリア、サムネイル画像エリアおよびヘッダエリアに循環的に書き込まれ、記録処理が完了していないデータ量が所定値を超えると、書き込み処理が中断される。書き込み処理は、記録処理によって空き容量が確保されたときに再開される。このため、SDRAMへのアクセス処理が破綻することはない。

【0081】さらに、メモリカードの残容量は1回の撮影によって得られるデータのデータ量に基づいて求められる。つまり、残容量は、メモリカードに実際にアクセスすることなく求められる。このため、残容量の検出に要する時間を短縮することができる。さらにまた、シャッターボタンの全押しタイミングに応じて、半押し時に行われるAF制御処理およびAE制御処理がジャンプされる。このため、今回の全押しによって撮影される被写体像がメモリカードに記録されるまでの時間を短縮できる。

【0082】なお、この実施例では、図10から分かるように、書き込み処理を中断するかどうかをカウント値mから判断するようにしている。つまり、カウント値mが所定値を超えたとき、BGモードが終了するまで、または垂直同期信号が入力されるまで、書き込み処理を中断している。このような判断手法は、この実施例のように静止画像を撮影する場合だけでなく、複数の静止画像からなる動画を撮影する場合にも適用できる。

【図面の簡単な説明】

【図1】この発明の1実施例を示すブロック図である。

【図2】SDRAMを示す図解図である。

【図3】システムコントローラに設けられたレジスタを示す図解図である。

【図4】指示リストを示す図解図である。

【図5】図1実施例の動作の一部を示すフロー図である。

【図6】図1実施例の動作の他の一部を示すフロー図である。

【図7】図1実施例の動作のその一部を示すフロー図である。

【図8】図1実施例の動作のさらにその他の一部を示すフロー図である。

【図9】図1実施例の動作の他の一部を示すフロー図である。

【図10】図1実施例の動作のその他の一部を示すフロー図である。

【図11】図1実施例の動作のさらにその他の一部を示すフロー図である。

【図12】図1実施例の動作の他の一部を示すフロー図である。

【図13】図1実施例の動作のその他の一部を示すフロー図である。

【図14】図1実施例の動作のさらにその他の一部を示すフロー図である。

すフロー図である。

【図15】図1実施例の動作の他の一部を示すフロー図である。

【図16】図1実施例の動作のその他の一部を示すフロー図である。

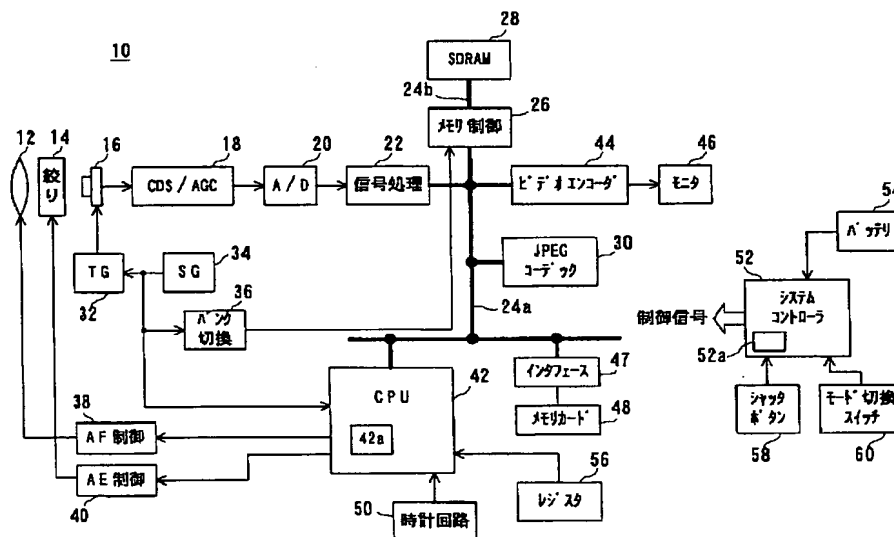
【図17】図1実施例の動作のさらにその他の一部を示すフロー図である。

【図18】図1実施例の動作の他の一部を示すフロー図である。

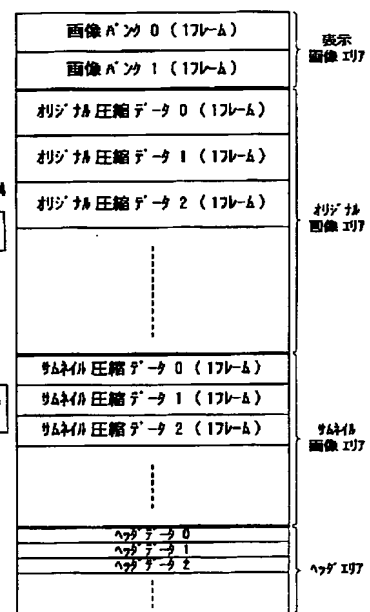
【符号の説明】

- 10 …デジタルカメラ
- 22 …信号処理回路
- 26 …メモリ制御回路
- 28 …SDRAM
- 30 …JPEGコーデック
- 42 …CPU
- 44 …ビデオエンコーダ
- 48 …メモリカード

【図1】

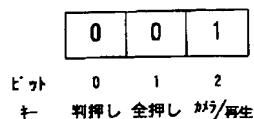


【図2】



【図3】

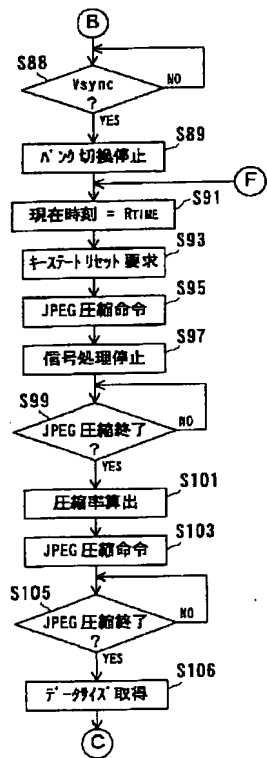
52a



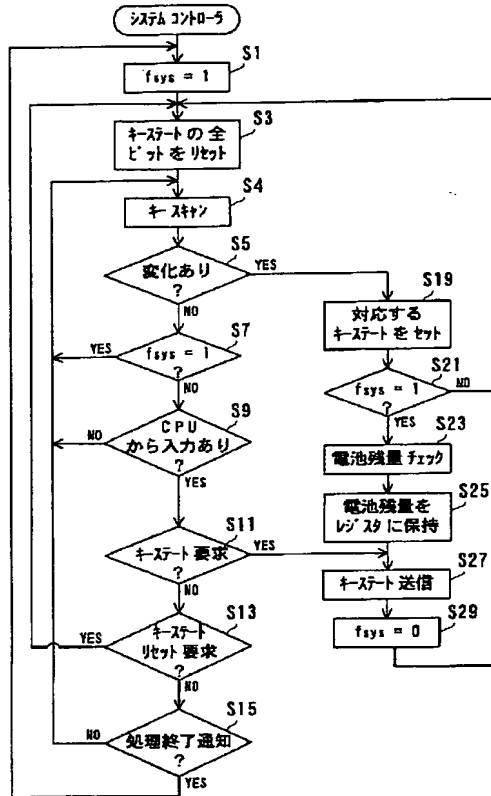
【図4】

フレーム番号	読出開始アドレス	サイズ (byte)
0	-----	-----
1	-----	-----
2	-----	-----
3	-----	-----
⋮	⋮	⋮
L-3	-----	-----
L-2	-----	-----
L-1	-----	-----

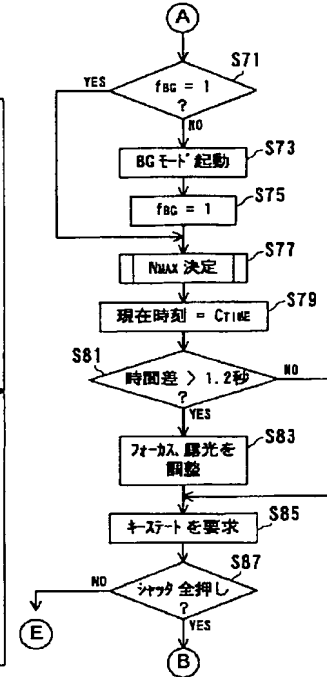
【図8】



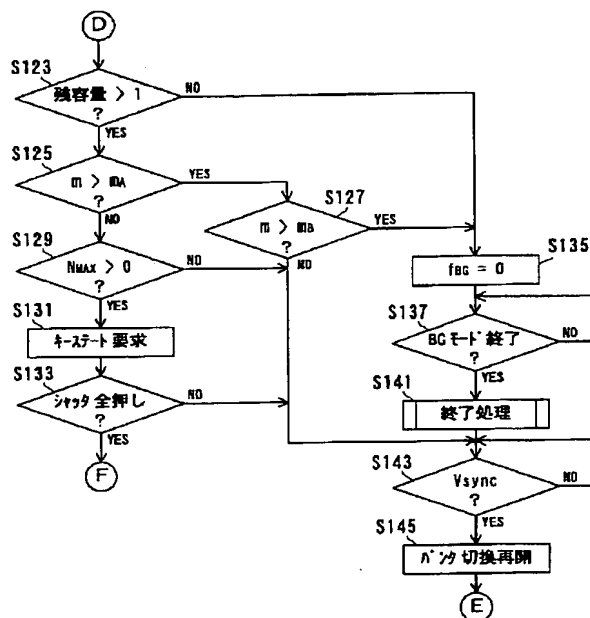
【図5】



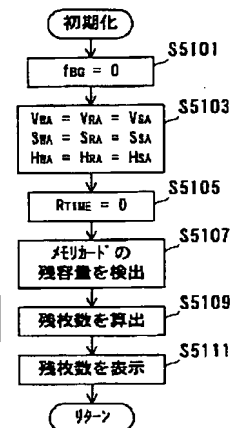
【図7】



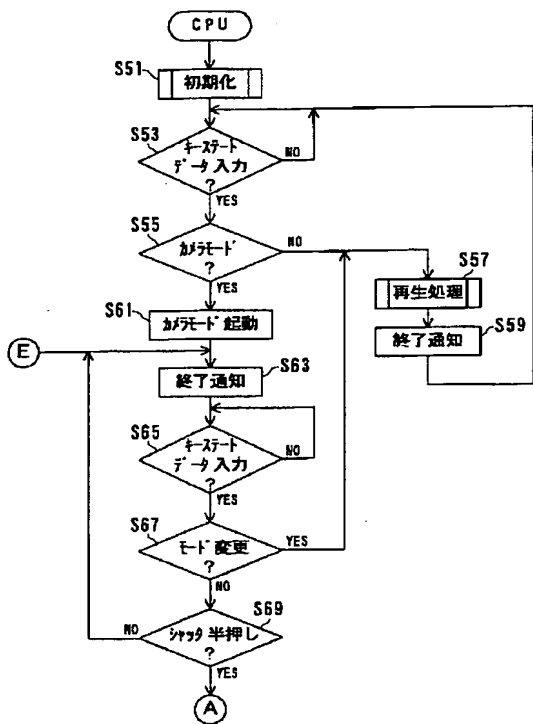
【図10】



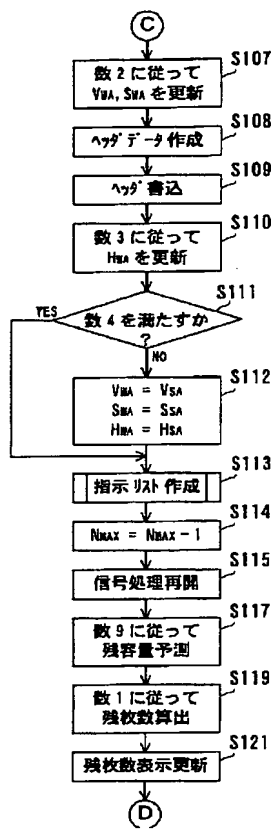
【図11】



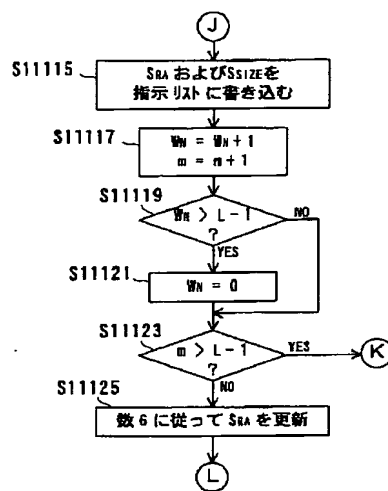
【图6】



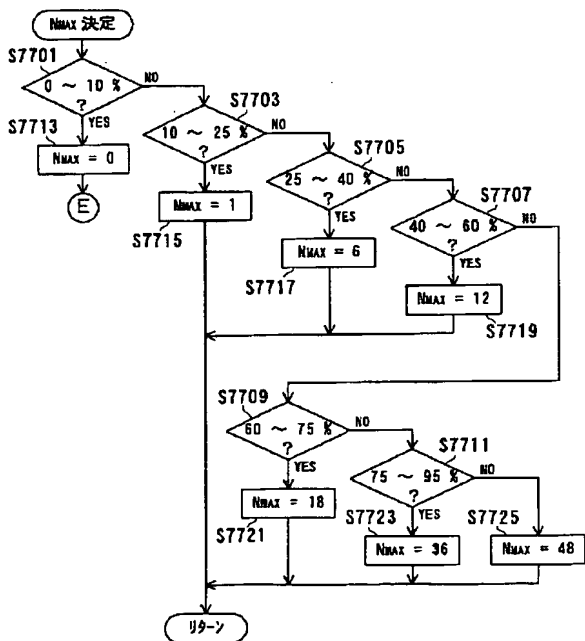
【図9】



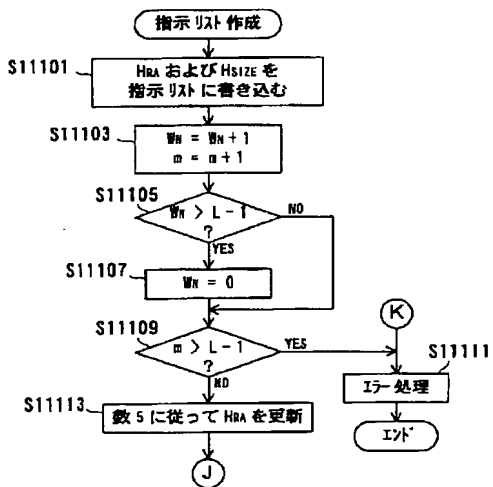
【図 14】



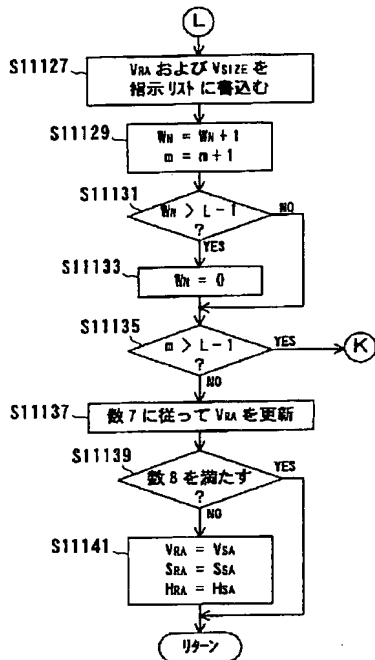
【图 12】



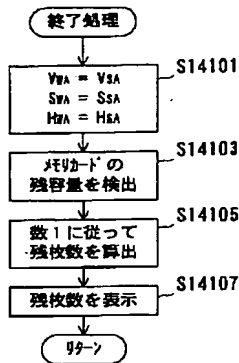
【图 13】



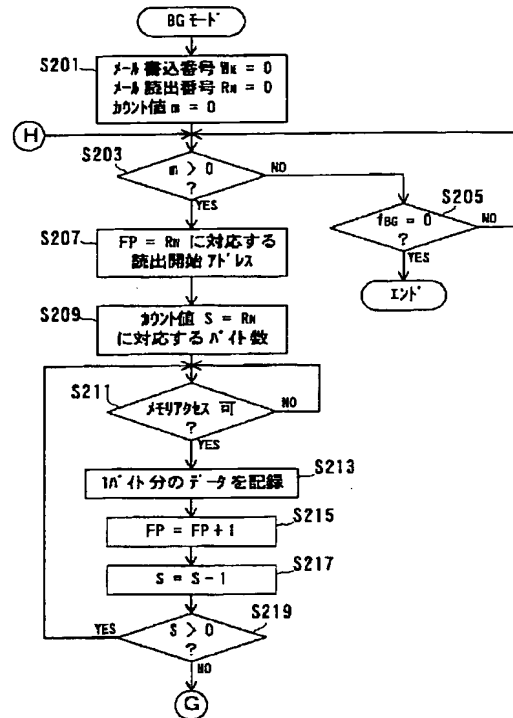
【図15】



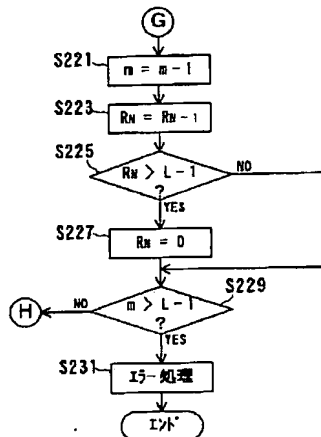
【図16】



【図17】



【図18】



フロントページの続き

(51) Int. Cl.⁷
H04N 5/92

識別記号

FI
H04N 5/92テーマコード(参考)
H